



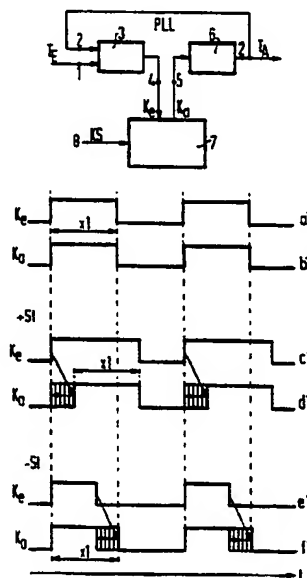
(54) Title: PROCESS AND DEVICE FOR BEAT RECOVERY

### (57) Abstract

In the bitwise stopping of synchronous signals in the synchronous-digital-multiplex hierarchy, jitter with phase jumps of 8 UI occurs which renders beat recovery difficult. Means are therefore sought for converting jitter into drift. This is achieved with a phase regulating loop (PLL) in which a phase jump compensator (7) is inserted between the output (4) of a phase discriminator (3) and the input (5) of an oscillator (6). This converts an input correction value ( $K_c$ ) into an output correction value ( $K_o$ ). If there is no stop, the input correction value ( $K_c$ ) leaves the phase jump compensator (7) unchanged (a1, b1). If a positive stop is made (+St), the pulses of the input correction value ( $K_c$ ) thus lengthened are first shortened to the normal duration (x1) and then lengthened stepwise (c1, d1) to the original duration. On negative stopping (-St) the thus shortened pulses of the input correction value ( $K_c$ ) are first lengthened to the normal duration and then reshortened stepwise (e1, f1).

### (57) Zusammenfassung

Beim byteweisen Stopfen synchroner Signale der Synchron-Digital-Multiplexhierarchie tritt ein Jitter mit Phasensprüngen von 8 UI auf, der eine Taktrückgewinnung erschwert. Es wird daher nach einer Möglichkeit gesucht, Jitter in Wander umzuwandeln. Dies wird mit einer Phasenregelschleife (PLL) erreicht, bei der zwischen dem Ausgang (4) eines Phasendiskriminators (3) und dem Eingang (5) eines Oszillators (6) ein Phasensprung-Kompensator (7) eingefügt ist. Dieser wandelt eine Eingangskorrekturgröße ( $K_e$ ) in eine Ausgangskorrekturgröße ( $K_a$ ) um. Wenn nicht gestopft wird, verläßt die Eingangskorrekturgröße ( $K_e$ ) den Phasensprung-Kompensator (7) unverändert (a1, b1). Wird positiv gestopft (+St), dann werden die dadurch verlängerten Pulse der Eingangskorrekturgröße ( $K_e$ ) zuerst auf die Normaldauer ( $x1$ ) verkürzt und anschließend schrittweise auf die ursprüngliche Dauer verlängert (c1, d1). Beim negativen Stopfen (-St) werden dagegen die dadurch verkürzten Pulse der Eingangskorrekturgröße ( $K_e$ ) zuerst auf die Normaldauer ( $x1$ ) verlängert und dann wieder schrittweise verkürzt (e1, f1).



# **LEDIGLICH ZUR INFORMATION**

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	ES	Spanien	ML	Mali
AU	Australien	FI	Finnland	MN	Mongolei
BB	Barbados	FR	Frankreich	MR	Mauritanien
BE	Belgien	GA	Gabon	MW	Malawi
BF	Burkina Faso	GB	Vereinigtes Königreich	NL	Niederlande
BG	Bulgarien	GN	Guinea	NO	Norwegen
BJ	Benin	GR	Griechenland	PL	Polen
BR	Brasilien	HU	Ungarn	RO	Rumänien
CA	Kanada	IT	Italien	SD	Sudan
CF	Zentrale Afrikanische Republik	JP	Japan	SE	Schweden
CG	Kongo	KP	Demokratische Volksrepublik Korea	SN	Senegal
CH	Schweiz	KR	Republik Korea	SU	Sowjet Union
CI	Côte d'Ivoire	LI	Liechtenstein	TD	Tschad
CM	Kamerun	LK	Sri Lanka	TG	Togo
CS	Tschechoslowakei	LU	Luxemburg	US	Vereinigte Staaten von Amerika
DE	Deutschland	MC	Monaco		
DK	Dänemark	MG	Madagaskar		

1

1

## Verfahren und Anordnung zur Taktrückgewinnung

5

Die Erfindung bezieht sich auf ein Verfahren zur Taktrückgewinnung, bei dem die Phase eines Eingangstaktes mit der eines Ausgangstaktes verglichen wird und bei dem die Frequenz des Ausgangstaktes in Abhängigkeit vom Vergleichsergebnis mit Hilfe einer Korrekturgröße nachgezogen wird, sowie auf eine Anordnung zur Durchführung dieses Verfahrens.

Ein derartiges Verfahren ist aus dem Buch "Theorie und Anwendungen des Phase-locked Loops", Best, 4. Überarbeitete Auflage, AT Verlag Aarau, Stuttgart, 1987, Seiten 93 bis 95 bekannt.

Eine Taktrückgewinnungseinrichtung mit einer Phasenregelschleife, bei der aus der Frequenz eines Quarzoszillators eine Folge in der Phase verschobener interner Takte abgeleitet wird, von denen, gesteuert durch die Ausgangssignale eines Phasendiskriminators, jeweils einer nach einer Frequenzteilung als Auslesetakt dient, ist Gegenstand eines älteren Vorschlags (P 39 09 678.5).

25

In der Technik des Übertragens und Multiplexens digitaler Signale erfolgt derzeit eine Umstellung von einem plesiochronen auf einen synchronen Betrieb. Während die herkömmlichen plesiochronen Signale eine Bit-Struktur haben, weisen die neuen synchronen Signale eine Byte-Struktur, d.h. eine Gliederung aus Vielfachen von acht Bits auf. Dies geht aus den CCITT-Empfehlungen G.707, G.708 und G.709 hervor.

35

**ERSATZBLATT**

- 1 In der Multiplextechnik werden mehrere Digitalsignale durch Verschachteln zu einem Zeitmultiplexsignal zusammengefaßt. In der Synchron-Digital-Multiplexhierarchie erfolgt dies entsprechend der Byte-Struktur in Gruppen von jeweils acht Bits. Da  
5 die Phasen der zu verschachtelnden Digitalsignale häufig nicht starr zueinander sind, sondern in Abhängigkeit von der Vorgesichte gegeneinander wandern, muß beim Verschachteln eine Phasenanpassung vorgeschaltet werden.
- 10 Die Phasenanpassung erfolgt durch Stopfen. Dabei werden in vorgegebenen diskreten Zeitpositionen (Zeitschlitten) des abgehenden Multiplexsignals - in Abhängigkeit von der augenblicklichen Phase bzw. Frequenz des zu multiplexenden Signals relativ zum Multiplexsignal - entweder acht dem zu multiplexen-  
15 den Signal zugeordnete Zeitschlitten mit dessen Daten gefüllt oder nicht. Beim Stopfen springt demnach die Phase des zu multiplexenden synchronen Signals relativ zum Multiplexsignal um acht UI (Unit Interval), bzw. um ein Byte (8 Bits).
- 20 Nach der Übertragung wird das Multiplexsignal wieder in seine einzelnen Komponenten aufgelöst. Eines der dabei auftretenden Probleme ist die Rückgewinnung der Originaltakte der gemultiplexten Signale, denn es müssen an die Gleichmäßigkeit dieser rückgewonnenen Takte hohe Anforderungen gestellt werden.
- 25 In der zeitlichen Aufeinanderfolge der Taktflanken auftretende Unregelmäßigkeiten werden als Jitter bezeichnet. Da sich der in verschiedenen Übertragungsabschnitten erzeugte Jitter in deren Hintereinanderschaltung addiert, muß der durch einzelne  
30 Ursachen hervorgerufene Jitter eng begrenzt werden. Dies gilt auch für den, der durch stopfenbedingte Phasensprünge verursacht wird.

- Eine Eigenheit der Übertragung digitaler Signale liegt darin,  
35 daß sehr langsam ablaufende Phasenschwankungen, der sogenannte Wander, von den Übertragungsgeräten gut vertragen wird. Seine zulässigen Grenzwerte sind daher wesentlich höher als die des Jitters.

**ERSATZBLATT**

1 Der Erfindung liegt die Aufgabe zugrunde, bei der Rückgewinnung des Originaltaktes des gemultiplexten Signals im Multiplexer den durch Stopfen erzeugten Jitter in Wandler umzuwandeln.

5 Diese Aufgabe wird bei einem Verfahren der einleitend beschriebenen Art erfindungsgemäß dadurch gelöst, das sprunghafte Änderungen der Korrekturgröße unterdrückt werden. Anordnungen zur Durchführung dieses Verfahrens sind den Unteransprüchen zu entnehmen.

10

Anhand eines Ausführungsbeispiels wird die Erfindung nachstehend näher erläutert:

- Figur 1 zeigt ein Blockschaltbild einer bekannten Takt-  
15 rückgewinnungseinrichtung,  
Figur 2 zeigt das Blockschaltbild der erfindungsgemäßen Taktrückgewinnungseinrichtung,  
Figur 3 zeigt einen älteren Vorschlag einer Taktrückgewinnungseinrichtung,  
20 Figur 4 zeigt erste Pulsdiagramme zur Erläuterung der Erfindung,  
Figur 5 zeigt zweite Pulsdiagramme zur Erläuterung der Erfindung,  
Figur 6 zeigt dritte Pulsdiagramme zur Erläuterung der Erfindung,  
25 Figuren 7+8 zeigen die erfindungsgemäße Taktrückgewinnungseinrichtung und  
Figur 9 zeigt ein Diagramm zur Erläuterung der Takt-  
rückgewinnungseinrichtung nach den Figuren 7  
30 und 8.

Figur 1 zeigt das Blockschaltbild einer bekannten Taktrückgewinnungseinrichtung in Form einer Phasenregelschleife PLL (Phase-locked Loop). Sie enthält einen Phasendiskriminator 3  
35 und einen Oszillator 6.

**ERSATZBLATT**

- 1 An den Eingang 1 des Phasendiskriminators 3 wird der Eingangstakt  $T_E$  und an seinen Eingang 2 der Ausgangstakt  $T_A$  angelegt. Der Phasendiskriminator 3 gibt dann in Abhängigkeit von der Phasendifferenz zwischen dem Eingangstakt  $T_E$  und dem Ausgangstakt  $T_A$  an seinem Ausgang 4 eine Korrekturgröße  $K$  ab. Der Oszillator 6 wird von dieser derart beeinflusst, daß der von ihm erzeugte Ausgangstakt  $T_A$  dem Eingangstakt  $T_E$  in der Frequenz folgt.
- 10 Die Dimension der Korrekturgröße  $K$  hängt von der Realisierung der Schaltung ab. Bei analogen Phasenregelschleifen hat sie beispielsweise die Dimension einer Spannung und der Oszillator 6 ist ein spannungsgesteuerter.
- 15 Die Korrekturgröße  $K$  wird dem Oszillator 6 bei vielen Anwendungen über ein Filter zugeführt. Dies ist jedoch für die Erfindung unerheblich.

- Einem Phasensprung des Eingangstaktes  $T_E$  folgt die Phase des Ausgangstaktes  $T_A$  mit einer Verzögerung, deren Größe von der Dimensionierung der Phasenregelschleife abhängt. Schnell ablaufende Phasenänderungen des Eingangstaktes  $T_E$  werden zum Ausgang hin verlangsamt und ausgeglichen. Aus diesen Gründen enthalten Taktrückgewinnungseinrichtungen hoher Güte derartige Phasenregelschleifen. Der Größe der genannten Verzögerung und damit dem Grad des Ausgleichs, also der Güte der Phasenregelschleife, sind bei der Realisierung Grenzen gesetzt. Diese erlauben es nicht, die Güte der Phasenregelschleifen so hoch zu treiben, daß die durch Bytestopfen bedingten Phasensprünge des Eingangstaktes  $T_E$  zum Ausgang hin ausreichend verlangsamt, d.h. in Wander umgesetzt werden.
- 20
- 25
- 30

- Figur 2 zeigt das Blockschaltbild der erfindungsgemäßen Taktrückgewinnungseinrichtung. Dieses unterscheidet sich von dem bekannten nach Figur 1 durch eine Einfügung eines Phasensprungkompensators 7, dessen Eingang mit dem Ausgang 4 des Phasen-
- 35

1 diskriminators 3 und dessen Ausgang mit dem Eingang 5 des Os-  
zillators 6 verbunden ist. Dieser Phasensprung-Kompensator  
7 empfängt eine Korrekturgröße  $K_e$  und gibt eine Korrektur-  
größe  $K_a$  ab. An einen Steuereingang 8 des Phasensprung-Kom-  
5 pensators 7 wird ein Kompensationssteuersignal KS angelegt.

Der Phasensprung-Kompensator 7 wirkt im Prinzip derart, daß er  
einen durch Stopfen verursachten Phasensprung des Eingangs-  
taktes  $T_E$  und die dadurch erzeugte sprunghafte Veränderung der  
10 Korrekturgröße  $K_e$  zum Ausgang 5 hin derart ausgleicht, daß  
die Korrekturgröße  $K_a$  vom Phasensprung nicht verändert wird.  
Dies gilt für die Zeit während und unmittelbar nach dem Phasen-  
sprung. Mit Fortschreiten der Zeit wird die ausgleichende Wir-  
kung des Phasensprung-Kompensators 7 kontinuierlich oder in  
15 kleinen Schritten reduziert, bis diese nach einer Ausgleichs-  
zeit, die von der Ausbildung des Phasensprung-Kompensators 7  
abhängt, nicht mehr vorhanden ist. Da die Frequenz des Oszilla-  
tors 6 und damit die Phase des Ausgangstaktes  $T_A$  von der Kor-  
rekturgröße  $K_a$  bestimmt werden, verteilt sich die Phasenan-  
20 passung des Ausgangstaktes  $T_A$  nach einem durch Stopfen her-  
vorgerufenen Phasensprung des Eingangstaktes  $T_E$  über die durch  
den Phasensprung-Kompensator 7 vorgegebene Ausgleichszeit. Eine  
Dimensionierung auf sehr lange Ausgleichszeiten, beispielsweise  
von einigen Sekunden, ist problemlos möglich. Das erfindungsge-  
25 mäßige Verfahren bietet daher eine einfache Möglichkeit zur Um-  
wandlung von Stopfjitter in Wander.

Bei dem in den Figuren 7 und 8 gezeigten Ausführungsbeispiel  
der Erfindung wird der Phasendiskriminator 3 und der digitale  
30 Oszillator 6 nach dem erwähnten älteren Vorschlag verwendet.  
Dieser ist in Figur 3 gezeigt. Der Phasendiskriminator 3 ent-  
hält dort einen Schreibzähler 12 (88:1), einen Lesezähler 13  
(88:1), 2:1-Teiler 14 und 15 und ein Exklusiv-ODER-Gatter 16.  
Der Oszillator 6 besteht aus einem Phasenumschalter 22, einem  
35 8:1-Teiler 26 und einem PLL-Zähler 27.

1 Daten D, die am Eingang 9 mit einem sehr unregelmäßigen Phasen-  
verlauf eintreffen, werden am Ausgang 11 mit einem geglätteten  
Phasenverlauf weitergegeben. Dazu werden die ankommenden Daten D  
in einen Pufferspeicher 10 eingeschrieben. Der zugehörige sehr  
5 unregelmäßige Datentakt oder Eingangstakt  $T_E$  schaltet mit jeder  
Taktperiode den Schreibzähler 12 um Eins weiter. Der Eingangs-  
takt  $T_E$  wird daher nachfolgend mit Schreibtakt  $T_S$  bezeichnet.  
Er liegt am Schreibtakteingang 17 an. Der Schreibzähler 12 be-  
stimmt über einen Bus 19 die Schreibadresse SA des Pufferspei-  
10 chers 10, in den ein Datum eingeschrieben wird. Der Ausgangs-  
takt  $T_E$  der abgehenden Daten D, der jetzt mit Lesetakt  $T_L$  be-  
zeichnet wird, schaltet den Lesezähler 13 weiter. Dieser be-  
stimmt über einen Bus 20, aus welcher Leseadresse LA des Puffer-  
speichers 10 ein Datum ausgelesen wird. Die Kapazität des  
15 Schreibzählers 12 und die des Lesezählers 13 entspricht der An-  
zahl der im Pufferspeicher 10 verfügbaren Speicherplätze. Der  
Schreibzähler 12 und der Lesezähler 13 starten nach jedem  
Durchlauf wieder mit ihrem Anfangswert Null. Die Differenz ihrer  
Zählerstände spiegelt den Füllstand des Pufferspeichers 10  
20 wieder. Je größer diese Differenz ist, um so voller ist der  
Pufferspeicher 10. Sie wird über die 2:1-Teiler 14 und 15 und  
das Exklusiv-ODER-Gatter 16 in eine Pulse-Pausen-Folge umge-  
wandelt, deren Pausenanteil proportional mit der Zählerdiffe-  
renz ansteigt. Diese Pulse-Pausen-Folge entspricht der Korrek-  
25 turgröße K in Figur 1.

Der PLL-Zähler 27 empfängt am Hilfstakteingang 28a einen Hilfs-  
takt  $T_H$ , der den Zähler 27 mit seinen steigenden oder fallenden  
Taktflanken jeweils um Eins weiterschaltet. Während der Pause  
30 der Pulse-Pausen-Folge wird das Weiterschalten des Zählers 27  
gestoppt. Er startet nach einem Durchlauf wieder mit seinem An-  
fangswert Null. Da er während einer Pause der vorgenannten Pulse-  
Pausen-Folge gestoppt wird, dauert sein Durchlauf um so länger, je  
mehr der Pufferspeicher 10 gefüllt ist. Er dauert um so kürzer,  
35 d.h. die Häufigkeit der Durchläufe ist um so höher, je weniger  
dieser gefüllt ist.



- 1 Dem Phasenumschalter 22 werden über seine Eingänge 23 vier  
jeweils um  $90^\circ$  versetzte Phasen  $T_{H1}$  bis  $T_{H4}$  des Hilfstaktes  $T_H$   
zugeführt, dessen Frequenz geringfügig höher als der achtfache  
Nominalwert des Lesetaktes  $T_L$  ist. Eine dieser Phasen wird zum  
5 Ausgang 25 des Phasenumschalters 22 durchgeschaltet. Ein am Schalt-  
eingang 24 eintreffender Schaltimpuls SP bewirkt eine Umschaltung  
auf die benachbarte Phase des Hilfstaktes  $T_H$  derart, daß am Aus-  
gang 25 eine Taktperiode des abgehenden Hilfstaktes  $T_H$  um  $90^\circ$   
( $1/4 UI$ ) zeitlich verlängert erscheint. Aufeinanderfolgende Schalt-  
10 pulse SP bewirken daher im Mittel eine Verlangsamung des von dem  
Phasenumschalter 22 abgegebenen Hilfstaktes  $T_H$ . Dieser ergibt  
nach Teilung im 8:1-Teiler 26 den Lesetakt  $T_L$ .

- Die Schaltpulse SP werden vom PLL-Zähler 27 jeweils einmal pro  
15 Durchlauf, beispielsweise am Ende des Durchlaufs während des  
Rücksetzens abgegeben. Je kürzer die Durchlaufzeiten des PLL-  
Zählers 27 sind, um so häufiger sind auch die Schaltpulse SP  
und um so langsamer wird die mittlere Frequenz des Lesetaktes  
 $T_L$ . Die Häufigkeit der Schaltpulse SP bzw. die Häufigkeit der  
20 Durchläufe des PLL-Zählers 27 ist, wie bereits erklärt, um so  
höher, je geringer die Füllung des Pufferspeichers 10 ist. Dies  
bewirkt andererseits eine Verlangsamung des Lesetaktes  $T_L$  über  
den Phasenumschalter 22. Da der Schreibtakt  $T_S$  hiervon unbe-  
rührt bleibt, beginnt sich der Pufferspeicher 10 solange zu  
25 füllen, bis sich ein Gleichgewichtszustand zwischen der Füllung  
des Pufferspeichers 10 und der Frequenz des Lesetaktes  $T_L$  ein-  
stellt.

- Figur 4 zeigt die prinzipielle Wirkungsweise der Erfindung.  
30 Die symmetrische Pulse-Pausen-Folge a1 ist die Korrekturgröße  
 $K_e$  am Ausgang 4 des Phasendiskriminators 3. Dem betrachteten Zeit-  
abschnitt ging eine längere Zeit ohne Stopfvorgänge voran. Dann  
läßt der Phasensprung-Kompensator 7 die Korrekturgröße  $K_e$  un-  
verändert zum Ausgang 5 durch. Die Pulse-Pausen-Folgen a1 und  
35 b1 sind daher gleich. In diesem Zustand hat der Phasensprung-  
Kompensator 7 keine Wirkung; es erfolgt keine Modulation.

- 1 Nach positivem Stopfen +St verändert sich die Pulse-Pausen-Folge a1 der Korrekturgröße  $K_e$  in die Form der Pulse-Pausen-Folge c1. Die Phase des Schreibtakts hat sich stopfbedingt verzögert, wodurch sich auch die fallenden Flanken der Pulse-Pausen-Folge c1 der Korrekturgröße  $K_e$  verzögern. Die Pulse werden breiter und die Pausen entsprechend kürzer. Der Phasensprung-Kompensator 7 verzögert nun die steigenden Flanken der Pulse-Pausen-Folge d1 der Korrekturgröße  $K_a$  um genau den Betrag, um den die fallende Flanke stopfbedingt verzögert wurde. Damit bleiben die Pulsdauer x1 der Pulse-Pause-Folge d1 der Korrekturgröße  $K_a$  vorerst unverändert und damit auch die Oszillatorfrequenz und die Phase des Lesetaktes  $T_L$ . Anschließend wird die Verzögerung der steigenden Flanke der Pulse-Pausen-Folge d1 der Korrekturgröße  $K_a$  in kleinen Schritten zurückgenommen, wodurch sich die Phase des Lesetaktes  $T_L$  langsam verschiebt. Nach Ablauf der Ausgleichszeit stimmen die Flanken der Pulse-Pausen-Folgen c1 und d1 wieder überein; der Phasensprung-Kompensator 7 schaltet die Korrekturgröße  $K_e$  zum Ausgang durch.
- 20 Nach negativem Stopfen -St erfolgen die Abläufe entsprechend, wie die Pulse-Pausen-Folgen e1 und f1 zeigen. Die Phase des Schreibtakts ist stopfbedingt vorgeeilt, wodurch die fallenden Flanken der Korrekturgröße  $K_e$  zeitlich nach vorne geschoben werden. Der Phasensprung-Kompensator 7 verzögert die fallende Flanke der Korrekturgröße  $K_a$  genau um den gleichen Betrag, wodurch deren Puls- und Pausendauer vorerst unverändert bleiben. Der weitere Ablauf erfolgt wie beim positiven Stopfen +St.

- 30 Der Phasensprung-Kompensator 7 wandelt Phasensprünge also in eine langsam rampenförmig ansteigende Phasenänderung um.

Die Figur 5 zeigt die anhand der Figur 4 beschriebenen Vorgänge mit Pulse-Pausen-Folge a2 bis f2 für eine asymmetrische Pulse-Pausen-Folge a2 mit einer Pulsdauer x2.

- 1 Die Figur 6 zeigt die Pulse-Pausen-Folgen  $a_1$ ,  $c_1$  und  $d_1$  nach  
Figur 4. Während jedoch in der Pulse-Pausen-Folge  $d_1$  der Aus-  
gleich noch nicht abgeschlossen ist und die Pulsdauer gerade  
 $\times 3$  beträgt, erfolgt ein neues positives Stopfen und die Korrek-  
5 turgröße  $K_e$  nimmt die Pulse-Pausen-Folge  $g$  an. Jetzt muß für die  
Korrekturgröße  $K_g$  in der Pulse-Pausen-Folge  $h$  ein längerer Aus-  
gleich erfolgen.

- Die Figuren 7 und 8 zeigen zusammen die erfindungsgemäße Takt-  
rückgewinnungseinrichtung. Die Figur 7 enthält oben die bereits  
10 in Figur 3 gezeigte Taktrückgewinnungseinrichtung und unten  
einen Rampengenerator 29 als Teil des Phasensprung-Kompensator  
7. Figur 8 zeigt mit einer Rampengenerator-Steuereinrichtung 30  
einen in Figur 7 noch fehlenden Teil des Phasensprung-Kompen-  
15 sator 7. Die Figur 9 zeigt ein Diagramm zur Erläuterung des  
Verfahrensablaufs.

- Der Rampengenerator 29 in Figur 7 enthält UND-Gatter 31, 35 und  
39, ein ODER-Gatter 32, ein NAND-Gatter 33, ein Exklusiv-ODER-  
20 Gatter 36, D-Flipflops 37 und 38 sowie einen Rampenzähler 40.  
Im Rampengenerator 29 erfolgt die vorstehend beschriebene Ver-  
zögerung der Flanken. Die Bezeichnung "Rampengenerator" beruht  
auf der durch ihn erzeugten rampenförmig ansteigenden Phasen-  
änderung. Die im folgenden genannten Zahlen sind weitgehend ver-  
25 änderbar.

- Die Pulse-Pausen-Folge der Korrekturgröße  $K_e$  am Eingang 4 wird  
über das UND-Gatter 31 und das ODER-Gatter 32 zum Ausgang 5 ge-  
führt, soweit diese durchlässig sind. Der Rampenzähler 40 wird  
30 durch einen Hilfstakt halber Frequenz  $T_H/2$  am Hilfstakteingang  
28b weitergeschaltet. Erreicht sein Zählerstand den Endwert  
EW=95, wird er in diesem Zustand mittels eines Endwertpulses  
EWP über das UND-Gatter 39 und den Vorbereitungseingang E so-  
lange verriegelt, bis der Zählerstand durch einen Puls am Setz-  
35 eingang S auf seinen Startwert gesetzt wird. Nachfolgend zählt  
er wieder hoch und der geschilderte Ablauf wiederholt sich. Den  
Startwert erhält der Rampengenerator 29 von der Rampengenerator-  
Steuereinrichtung 30 in Figur 8 über einen Bus 41 mit acht Lei-  
tungen 8\*.

- 1 Nach einer längeren Zeit ohne Stopfen gibt die Rampengene-  
rator-Steuereinrichtung 30 einen Startwert  $R=95$  ab. In diesem  
Zustand sind Startwert  $R$  und Endwert  $EW$  des Rampenzählers 40  
gleich. Er verbleibt somit auf dem Zählerstand  $R=95$  auch dann,  
5 wenn er über den Bus 41 auf den Startwert gesetzt wird. Während  
des Zählerstand-Endwerts  $EW=95$  liegt der Vorbereitungseingang  $E$   
auf Null. Damit sind das NAND-Gatter 33 und das UND-Gatter 35  
gesperrt, die ihrerseits das UND-Gatter 31 und das ODER-Gatter  
32 so ansteuern, daß die Korrekturgröße  $K_e$  zum Ausgang 5 hin  
10 nicht verändert wird, wie es Figur 4, Folgen a1 und b1 zeigt.

- Tritt nun ein positives Stopfen +St auf, dann verringert die  
Rampengenerator-Steuereinrichtung 30 den Startwert auf  $R=95-32=63$   
und setzt den Zustand des Zählrichtungssignals  $Z$  am Zählrich-  
15 tungs-Steueranschluß 34 auf logisch "1". Der Rampenzähler 40  
bleibt jedoch vorerst verriegelt, da der Vorbereitungseingang  $E$   
einen Zustand logisch "0" hat. Der Zustand logisch "1" des Zähl-  
richtungssignals  $Z$  bewirkt, das am Ausgang des Exklusiv-NOR-  
Gatters 36 die Pulse-Pausen-Folge der Korrekturgröße  $K_e$  unver-  
20 ändert anliegt.

- Während eines Zustands logisch "1" einer Pulse-Pausen-Folge  
einer Korrekturgröße  $K_e$  bleibt der Zustand des Rampenzählers  
40 vorerst unverändert. Während der nachfolgenden Pause mit dem  
25 logischem Zustand "0" wird der Rampenzähler 40 auf einen Start-  
wert  $R=63$  gesetzt. Der Vorbereitungseingang  $E$  bleibt jedoch auf  
logisch "0", da der Ausgang des Exklusiv-NOR-Gatters 36 auch den  
logischen Zustand "0" aufweist. Mit Beginn des nachfolgenden Pul-  
ses der Korrekturgröße  $K_e$  geht der Ausgang des UND-Gatters 39  
30 auf logisch "1", wodurch der Rampenzähler 40 freigegeben wird.  
Die Einschaltung der beiden D-Flipflops 37 und 38 ist technolo-  
gisch bedingt und verhindert metastabile Zustände. Der Zustand  
logisch "1" am Ausgang des UND-Gatters 39 sperrt über das NAND-  
Gatter 33 das UND-Gatter 31, wodurch sich ein Zustand der Kor-  
35 rekturgröße  $K_e$  logisch "0" ergibt. Der Rampenzähler 40 erhöht

1 mit jeder Periode des Hilfstaktes  $T_H$  seinen Zählerstand um Eins.  
Nach zweiunddreißig Perioden erreicht er den Wert 95. Wechselt  
der Endwertpuls EWP auf einen Zustand logisch "1", geht der Aus-  
gang des UND-Gatters 39 auf einen Zustand logisch "0" und bleibt  
5 der Rampenzähler 40 auf dem Stand 95 stehen. Gleichzeitig wird  
das UND-Gatter 31 über das NAND-Gatter 33 freigegeben, wodurch  
sich ein Zustand der Korrekturgröße  $K_a$  logisch "1" ergibt. Die  
Frequenz des Hilfstaktes  $T_H$  und Änderungen des Startwertes R  
nach einem Stopfen müssen so abgestimmt werden, daß die Lauf-  
10 zeit des Rampenzählers 40 genau der zeitlichen Verzögerung der  
fallenden Flanke der Pulse-Pausen-Folge c1 in Figur 4 entspricht.  
Während der nachfolgenden Pause der Korrekturgröße  $K_e$  wird der  
Rampenzähler 40 wieder auf den Startwert R gesetzt, und der Ab-  
lauf wiederholt sich. Die Rampengenerator-Steuereinrichtung 30  
15 erhöht nun in regelmäßigen Abständen den Startwert R solange  
jeweils um Eins, bis wieder der Wert R=95 erreicht wird; es sei  
denn, daß der Startwert R vorher durch einen neuen Stopfvorgang  
entsprechend verändert wurde. Diesen Ablauf zeigen die Folgen  
c1 und d1 in Figur 4.

20

Der Vorgang nach einem negativen Stopfen -St verläuft entspre-  
chend. Die Rampengenerator-Steuereinrichtung 30 setzt den Zu-  
stand des Zählrichtungssignals Z am Zählrichtungs-Steueran-  
schluß 34 auf logisch "0". Am Ausgang des Exklusiv-NOR-Gatters  
25 36 liegt die Korrekturgröße  $K_e$  invertiert an. Im Unterschied  
zum positiven Stopfen +St bleibt das UND-Gatter 31 immer geöff-  
net. Die Pulsdauer wird von der fallenden Flanke der Korrektur-  
größe  $K_e$ , gesteuert über das UND-Gatter 35 und ODER-Gatter 32,  
verlängert. Siehe die Folgen e1 und f1 in Figur 4.

30

Die Figur 9 zeigt Anfangswerte A und Startwerte R für einen  
längeren Ablauf ohne Stopfen bis zum Zeitpunkt t1, für ein  
positives Stopfen +St zum Zeitpunkt t1, für negatives Stopfen  
-St zu den Zeitpunkten t2 und t3 und für einen ausgeglichenen  
35 Verlauf zwischen den Zeitpunkten t4 und t5. Zu den Zeitpunkten  
t1, t2 und t3 wurde jeweils ein Ausgleichsvorgang vorzeitig  
unterbrochen.

- 1 Figur 8 zeigt die Rampengenerator-Steuereinrichtung 30. Diese  
enthält einen als Datenselektor arbeitenden Multiplexer 42,  
einen Volladdierer 45, einen 8-bit-Anfangswert-Zähler 47, einen  
Zählrichtungs-Steuerschaltung 53, eine Rampentakt-Steuerschaltung 56, einen Addierer 64 und eine Addierersteuerung 73.

Die Zählrichtungs-Steuerschaltung 53 enthält UND-Gatter 54 und 55. Die Rampentakt-Steuerschaltung 56 besitzt einen 3:1/1:1-Teiler 57, ODER-Gatter 60 und 62 sowie UND-Gatter 61 und 63.

- 10 Der Addierer 64 umfaßt einen Volladdierer 65 und Exklusiv-ODER-Gatter 66, 67 und 68. Die Addierersteuerung 73 enthält schließlich ODER-Gatter 76 und 84, D-Flipflops 77, 78, 79, 81 und 82, Exklusiv-ODER-Gatter 80 und 87 sowie UND-Gatter 83, 85 und 86.

- 15 Den Kern der Rampengenerator-Steuereinrichtung 30 bildet der Anfangswert-Zähler 47. Dieser ist ein handelsüblicher Zähler, dessen Aufwärts- oder Abwärtszählrichtung vom logischen Zustand "1" oder "0" des Zählrichtungs-Steueranschlusses 34 abhängt. Im gewählten Beispiel wird bei dem Zustand logisch "1" aufwärts  
20 gezählt. Der den Anfangswert-Zähler 47 treibende Takt ist der am Rampentakteingang 48 anliegende Rampentakt  $T_R$ , dessen Frequenz die Zählgeschwindigkeit bestimmt. Am ausgangsseitigen Bus 43 des Anfangswert-Zählers 47 liegt dessen Zählerstand A als binäre Zahl an.

25

Dem mittleren dezimalen Anfangswert  $A=96$  entspricht die binäre Zahl "01100000", deren Stellen mit A7 bis A0 bezeichnet werden. Es ist also  $A7=0$ ,  $A6=1$  und  $A5=1$ .

- 30 Legt man diese Werte für A5, A6 und A7 an die UND-Gatter 54 und 55 an, dann tritt am Ausgang 34 des UND-Gatters 54 ein logischer Zustand "0" auf, was ein Abwärtszählen des Anfangswerts-Zählers 47 bewirkt. Für Dezimalwerte  $A < 96$  ist  $A7=0$ , und sind A6 und A5 nicht beide auf Eins. Bei dieser Konstellation tritt am Ausgang  
35 34 des UND-Gatters 54 ein Zustand logisch "1" auf, was ein Auf-

1 wärtszählen des Anfangswert-Zählers 47 auslöst. Dies hat zur Folge, daß der Zählerstand des Anfangswert-Zählers 47 periodisch mit dem Rampentakt  $T_R$  zwischen den Dezimalwerten  $A=96$  und  $A=95$  wechselt, solange kein Ladepuls LP am Ladepulseingang 52 auftritt.

5

Nach dem Auftreten eines Ladepulses LP wechselt der Zählerstand des Anfangswert-Zählers 47 auf das an den Ladeeingängen 49 bis 51 anliegende Codewort  $L_5$ ,  $L_6$  und  $L_7$ . Es übernimmt somit  $A_7$  den Wert  $L_7$ ,  $A_6$  den von  $L_6$  und  $A_5$  den von  $L_5$ . Die Werte von  $A_4$  bis 10  $A_0$  werden nicht verändert.

Die Erzeugung des Ladepulses LP sowie die richtige Einstellung des Zustands des Steuereingangs 72 der Addierschaltung 64 erfolgt in der Addiersteuerung 73. Wird bei dieser entweder an 15 den Eingang 74 eine logische "1" für negatives Stopfen -St oder an den Eingang 75 eine logische "1" für positives Stopfen +St angelegt, dann nimmt der Ausgang des ODER-Gatters 76 ebenfalls den Zustand logisch "1" an. Dieser Zustand wird mit dem Hilfstakt  $T_H$  am Hilfstakteingang 28a schrittweise über die D-Flipflops 20 77, 78 und 79 übertragen. Liegt am Q-Ausgang des D-Flipflops 77 eine logische "1" und am Q-Ausgang des D-Flipflops 79 eine logische "0" oder umgekehrt, gibt das Exklusiv-ODER-Gatter 87 eine logische "1" an das UND-Gatter 86 ab. Liegt weiter am Eingang 75 eine logische "1", dann tritt am Steuereingang 72 25 ebenfalls eine logische "1" auf.

Wenn am Q-Ausgang des D-Flipflops 78 und am Q-Ausgang des D-Flipflops 79 unterschiedliche logische Zustände anliegen, gibt das Exklusiv-ODER-Gatter 80 eine logische "1" ab. Diese 30 wird mit dem Hilfstakt  $T_H$  schrittweise über die D-Flipflops 81 und 82 zum ersten Eingang des UND-Gatters 83 übertragen. Liegt gleichzeitig am Eingang 75 ein logischer Zustand "1" an, dann tritt auch am Ausgang des UND-Gatter 83 eine logische "1" auf. Ist dies der Fall, oder ist der Ausgang des Exklusiv-ODER-Gatters 80 im Zustand logisch "1", dann gibt das ODER-Gatter 84 35 diesen Zustand an den ersten Eingang des UND-Gatters 85 weiter. Ist jetzt gleichzeitig der Ausgang des ODER-Gatters 76 im Zustand logisch "1", dann gibt das UND-Gatter 85 einen Ladepuls

- 1 LP an den Ladepulseingang 52 des Anfangswert-Zählers 47 ab.

Im Addierer 64 ist der Addierereingang 69 in den Zustand logisch "1", der Addierereingang 70 in den Zustand logisch "0"

- 5 und der Addierereingang 71 in den Zustand logisch "0" gesetzt.

Im Fall eines negativen Bytestopfens - was einer Beschleunigung der ankommenden Daten D um acht UI entspricht - muß der dezimale Anfangswert A um zweiunddreißig erhöht werden.

10

Wenn der Steuereingang 72 bei negativem Bytestopfen -St am Steuereingang 72 eine logisch "0" empfängt, dann tritt am Ausgang des Exklusiv-ODER-Gatters 66 eine logische "1", am Ausgang des Exklusiv-ODER-Gatters 67 eine logische "0" und am Ausgang des Exklusiv-ODER-Gatters 68 eine logische "0" auf. Das durch die drei Exklusiv-ODER-Gatter 66 bis 68 gebildete Codewort lautet dann, beginnend mit der höchstwertigsten Stelle, "001". Wird hierzu beispielsweise für A7, A6 und A5 das Codewort "011" eingesetzt, dann ergibt sich für L7, L6 und L5 an den Ladeeingängen

15 51, 50 und 49 des Anfangswert-Zählers 47 ein Codewort "100" für

20 die Dezimalzahl 128. Mit dem nun nachfolgenden Ladepuls LP wird der Zählerstand um dezimal zweiunddreißig erhöht.

- Im Fall eines positiven Bytestopfens +St muß der Zählerstand des Anfangswert-Zählers 47 um einen Dezimalwert zweiunddreißig verringert werden. Erscheint für positives Bytestopfen +St am Steuereingang 72 eine logische "1", dann erhält der Ausgang des Exklusiv-ODER-Gatters 66 eine logische "0", der Ausgang des Exklusiv-ODER-Gatters 67 eine logische "1" und der Ausgang des Exklusiv-ODER-Gatters 68 eine logische "1". Beginnend mit der höchstwertigsten Stelle liegt demnach an den Exklusiv-ODER-Gattern 66, 67 und 68 ein Codewort "110" an. Addiert mit dem oben als Beispiel gewählten Codewort "011" für A7, A6 und A5 ergibt die Summe L7, L6 und L5 ohne Übertrag ein Codewort "001". Mit einem Ladepuls LP am Ladepulseingang 52 wird dieses Codewort, das die De-
- 25
- 30
- 35



- 1 zimalzahl zweiunddreißig beinhaltet als Anfangswert  $A=32$  vom Anfangswert-Zähler 47 übernommen. In der nächsten Periode des Hilfstaktes  $T_H$  am Hilfstakteingang 28a erhält der Steuereingang 72 den logischen Zustand "0". Das Exklusiv-ODER-Gatter 66 nimmt jetzt  
5 den logischen Zustand "1", das Exklusiv-ODER-Gatter 67 den logischen Zustand "0" und das Exklusiv-ODER-Gatter 68 den logischen Zustand "0" an. Der Volladdierer 65 addiert jetzt die Codewörter "001" und "001". Das Ergebnis  $L_7$ ,  $L_6$  und  $L_5$  ist ein Codewort "010". Dieses entspricht dem Dezimalwert 64 und wird mit dem nächsten  
10 Ladepuls LP am Ladepulseingang 52 als endgültiger Anfangswert A vom Anfangswert-Zähler 47 aufgenommen.

- In der Rampentakt-Steuerschaltung 56 wird der Rahmenhilfstakt  $T_{RH}$  - wenn am Schalteingang 59 eine logische "1" anliegt - durch  
15 den 3:1/1:1-Teiler 57 ungeteilt als Rahmentakt  $T_R$  zum Ausgang 41 durchgelassen. Hat der Schalteingang 59 dagegen den logischen Zustand "0" dann wird der Rahmenhilfstakt  $T_{RH}$  3:1 geteilt, bevor er als Rahmentakt  $T_R$  zum Ausgang 48 gelangt. Der Ausgang des UND-Gatters 61 erhält dann einen Zustand "1",  
20 wenn das Codewort  $A_7$ ,  $A_6$  und  $A_5$  entweder "101", "110" oder "111" beträgt. Der Ausgang des UND-Gatters 63 nimmt den Zustand logisch "1" an, wenn das Codewort  $A_7$ ,  $A_6$  und  $A_5$  "000" ist. Das ODER-Gatter 60 liefert dem Schalteingang 59 dann eine logische "1", wenn entweder am Ausgang des UND-Gatters 61 oder am Aus-  
25 gang des UND-Gatters 63 eine logische "1" anliegt. Am Schalteingang 59 kann nur dann eine logische "0" auftreten, wenn  $A_7$ ,  $A_6$  und  $A_5$  Codewörter "001", "010" oder "011" bilden. Die Dezimalwerte liegen dann zwischen zweiunddreißig und hundertneundfünfzig.

30

- Der vom Anfangswert-Zähler 47 abgegebene Anfangswert A muß zum Startwert R des Rampenzählers 29 umgeformt werden. Wenn  $A < 96$  ist, wird der vorläufige Startwert einfach über den Bus 43, den Multiplexer 42 und den Bus 41 als endgültige Startwert R weiter-  
35 gegeben. Ist  $A > 95$  wird der vorläufige Startwert nach der Formel  $R = 191 - A$  im Addierer 45 umgerechnet, indem ihm über den Bus 46

ERSATZBLATT

16

- 1 die Binärzahl "010", die der Dezimalzahl 64 in den Stellen A7, A6 und A5 entspricht, zugeführt und das Ergebnis invertiert wird. Dieses wird über den Multiplexer 42 und den Bus 41 weitergeleitet.
- 5 Wenn längere Zeit keine Stopfvorgänge aufgetreten sind, wechselt A, wie bereits beschrieben, zwischen den Dezimalzahlen 95 und 96. In beiden Fällen ist jedoch R=95; dem Rampenzähler 40 wird somit konstant R=95 zugeführt.

10

15

20

25

30

35

**ERSATZBLATT**

## 1 Patentansprüche

1. Verfahren zur Taktrückgewinnung,  
bei dem die Phase eines Eingangstaktes ( $T_E$ ) mit der eines  
5 Ausgangstaktes ( $T_A$ ) verglichen wird und  
bei dem die Frequenz des Ausgangstaktes ( $T_A$ ) in Abhängigkeit  
vom Vergleichsergebnis mit Hilfe einer Korrekturgröße (K)  
nachgezogen wird,  
dadurch gekennzeichnet,  
10 daß sprunghafte Änderungen der Korrekturgröße (K) unterdrückt  
werden.
2. Verfahren nach Anspruch 1, bei dem die sprunghafte Änderung  
der Korrekturgröße (K) durch byteweises Stopfen ( $\bar{7}$  St) ver-  
15 ursacht wurde,  
dadurch gekennzeichnet,  
daß das Auftreten der sprunghaften Änderung aus einer Stopfin-  
formation ermittelt wird.
- 20 3. Taktrückgewinnungseinrichtung in Form einer Phasenregel-  
schleife (PLL) zur Durchführung des Verfahrens nach Anspruch 1  
oder 2 mit einem Phasendiskriminator (3), dessen erster Eingang  
(1) der Aufnahme des Eingangstaktes ( $T_E$ ) und dessen zweiter  
Eingang (2) der Aufnahme des Ausgangstaktes ( $T_A$ ) dient, und  
25 mit einem Oszillator (6), dessen Ausgang mit dem zweiten Ein-  
gang (2) des Phasendiskriminators (3) verbunden ist und der  
den Ausgangstakt ( $T_A$ ) abgibt,  
dadurch gekennzeichnet,  
daß ein Phasensprung-Kompensator (7) vorgesehen ist, dessen  
30 Eingang mit dem Ausgang (4) des Phasendiskriminators (3) und  
dessen Ausgang mit dem Eingang (5) des Oszillators (6) ver-  
bunden ist und der einen Steuereingang (8) aufweist.
4. Taktrückgewinnungseinrichtung nach Anspruch 3,  
35 dadurch gekennzeichnet,  
daß der Phasensprung-Kompensator (7) aus einem Rampengenerator  
(29) und aus einer Rampengenerator-Steuerereinrichtung (30)  
besteht.

- 1 5. Taktrückgewinnungseinrichtung nach Anspruch 4,  
d a d u r c h g e k e n n z e i c h n e t,  
daß ein Rampengenerator (29) vorgesehen ist  
mit einem ersten UND-Gatter (31), dessen erster Eingang mit dem  
5 Eingang (4) des Phasensprung-Kompensators (7) verbunden ist,  
mit einem ersten ODER-Gatter (32), dessen erster Eingang mit  
dem Ausgang des ersten UND-Gatters (31) und dessen Ausgang mit  
dem Ausgang (5) des Phasensprung-Kompensators (7) verbunden  
ist,  
10 mit einem ersten NAND-Gatter (33), dessen erster Eingang mit  
einem Zählrichtungs-Steueranschluß (34) und dessen Ausgang mit  
dem zweiten Eingang des ersten UND-Gatters (31) verbunden ist,  
mit einem zweiten UND-Gatter (35), dessen erster invertierender  
Eingang mit dem Zählrichtungs-Steueranschluß (34) und dessen  
15 Ausgang mit dem zweiten Eingang des ersten ODER-Gatters (32)  
verbunden ist,  
mit einem Exklusiv-NOR-Gatter (36), dessen erster Eingang mit  
dem Eingang (4) des Phasensprung-Kompensators (7) und dessen  
zweiter Eingang mit dem Zählrichtungs-Steueranschluß (34) ver-  
20 bunden ist,  
mit einem ersten D-Flipflop (37), dessen D-Eingang mit dem  
Ausgang des Exklusiv-NOR-Gatters (36) und dessen Takteingang  
mit einem Hilfstakteingang (28b) verbunden ist,  
mit einem zweiten D-Flipflop (38), dessen D-Eingang mit dem  
25 Q-Ausgang des ersten D-Flipflops (37) und dessen Takteingang  
mit dem Hilfstakteingang (28b) verbunden ist,  
mit einem dritten UND-Gatter (39), dessen erster Eingang mit  
dem Ausgang des Exklusiv-NOR-Gatters (36) und dessen zweiter  
Eingang mit dem Q-Ausgang des zweiten D-Flipflops (38) verbun-  
30 den ist, und  
mit einem Rampenzähler (40), dessen Ausgang mit einem dritten  
invertierenden Eingang des dritten UND-Gatters (39), dessen  
invertierender Setzeingang mit dem Ausgang des Exklusiv-NOR-  
Gatters (36), dessen Vorbereitungs-Eingang sowohl mit dem  
35 Ausgang des dritten UND-Gatters (39) als auch mit dem zweiten  
Eingang des NAND-Gatters (33) als auch mit dem zweiten Eingang

- 1 des zweiten UND-Gatters (35), dessen Takteingang mit dem Hilfs-  
takteingang (28b) und dessen Startwerteingang mit einem Start-  
wertbus (41) verbunden ist.
- 5 6. Taktrückgewinnungseinrichtung nach Anspruch 4,  
d a d u r c h g e k e n n z e i c h n e t,  
daß eine Rampengenerator-Steuereinrichtung (30) vorgesehen ist  
mit einem 8-bit-Anfangswert-Zähler (47), dessen Zählrichtungs-  
Steueranschluß (34) mit einer Zählrichtungs-Steuerschaltung  
10 (53) und dem Rampengenerator (29), dessen Rampentakteingang  
(48) mit einer Rampentakt-Steuerschaltung (56), dessen drei  
Ladeeingänge (49, 50, 51) mit Ausgängen eines Addierers (64)  
für die drei höchstwertigsten Bits, dessen Ladepulseingang (52)  
mit einer Addierer-Steuerung (73), dessen acht Ausgänge mit  
15 einem ersten Bus (43) und dessen drei Nebenausgänge (86a, 87a,  
88a) für die drei höchstwertigsten Bits (A7, A6, A5) des Zähler-  
standes mit der Zählrichtungs-Steuerschaltung (53), der Rampen-  
takt-Steuerschaltung (56) und dem Addierer (64) verbunden ist,  
mit einem ersten Volladdierer (45), dessen acht erste Eingänge  
20 über einen ersten Bus (43) mit den acht Ausgängen des Anfangs-  
wert-Zählers (47) und dessen drei zweite Eingänge für die drei  
höchstwertigsten Bits einer Binärzahl zu 64 mit einem zweiten  
Bus (46) verbunden sind, und  
mit einem Multiplexer (42), dessen erste Eingänge mit dem  
25 ersten Bus (43), dessen zweite invertierende Eingänge über  
einen dritten Bus (44) mit den acht Ausgängen des ersten Voll-  
addierers (45), dessen Steuereingang mit dem Zählrichtungs-  
Steueranschluß (34) und dessen acht Ausgänge mit dem Start-  
wertbus (41) verbunden sind.
- 30 7. Taktrückgewinnungseinrichtung nach Anspruch 6,  
d a d u r c h g e k e n n z e i c h n e t,  
daß als Zählrichtungs-Steuerschaltung (53)  
ein viertes UND-Gatter (54), dessen erster invertierender  
35 Eingang mit dem ersten Nebenausgang (86b) des Anfangswert-  
Zählers (47) und dessen Ausgang mit den Zählrichtungs-Steuer-  
anschluß (34) verbunden ist, und

- 1 ein fünftes UND-Gatter (55) vorgesehen sind, dessen erster Eingang mit dem zweiten Nebenausgang (87b) des Anfangswert-Zählers (47), dessen zweiter Eingang mit dem dritten Nebenausgang (88b) des Anfangswert-Zählers (47) und dessen Ausgang mit  
5 dem zweiten invertierenden Eingang des vierten UND-Gatters (54) verbunden ist.

8. Taktrückgewinnungseinrichtung nach Anspruch 6,  
d a d u r c h g e k e n n z e i c h n e t,  
10 daß als Rampentakt-Steuerschaltung (56)  
ein umschaltbarer 3:1/1:1-Teiler mit einem Rampenhilfstakt-Eingang (58) und einem Umschaltsignaleingang (59),  
ein zweites ODER-Gatter (60), dessen Ausgang mit dem Umschalt-  
signaleingang (59) verbunden ist,  
15 ein sechstes UND-Gatter (61), dessen erster Eingang mit dem ersten Nebenausgang (88c) des Anfangswert-Zählers (47) und dessen Ausgang mit dem ersten Eingang des ODER-Gatters (60) verbunden ist,  
ein drittes ODER-Gatter (62), dessen erster Eingang mit dem  
20 zweiten Nebenausgang (89c) des Anfangswert-Zählers (47), dessen zweiter Eingang mit dem dritten Nebenausgang (90c) des Anfangswert-Zählers (47) und dessen Ausgang mit dem zweiten Eingang des sechsten UND-Gatters (61) verbunden ist, und  
ein siebentes UND-Gatter (63), dessen erster invertierter  
25 Eingang mit dem ersten Nebenausgang (88d) des Anfangswert-Zählers (47), dessen zweiter invertierender Eingang mit dem zweiten Nebenausgang (89d) des Anfangswert-Zählers (47), dessen dritter invertierender Eingang mit dem dritten Nebenausgang (90d) des Anfangswert-Zählers (47) und dessen Ausgang mit dem  
30 zweiten Eingang des zweiten ODER-Gatter (60) verbunden ist.

9. Taktrückgewinnungseinrichtung nach Anspruch 6,  
d a d u r c h g e k e n n z e i c h n e t,  
daß als Addierer (64)

- 1 ein zweiter Volladdierer (65), dessen Ausgang mit den drei  
Ladeeingängen (49, 50, 51) des Anfangswert-Zählers (47) und  
dessen erster Eingang (88e, 89e, 90e) mit den Nebenausgängen  
(88a, 89e, 90a) des Anfangswert-Zählers (47) verbunden sind,
- 5 ein viertes Exklusiv-ODER-Gatter (68), dessen erster Eingang  
mit dem Steuereingang (72), dessen zweiter Eingang mit einem  
dritten Addiereingang (71) und dessen Ausgang mit dem ersten  
Nebenausgang (88e) des Anfangswert-Zählers (47) verbunden ist,  
ein drittes Exklusiv-ODER-Gatter (67), dessen erster Eingang  
10 mit dem Steuereingang (72), dessen zweiter Eingang mit einem  
zweiten Addierereingang (70) und dessen Ausgang mit dem zweiten  
Nebenausgang (89e) des Anfangswert-Zählers (47) verbunden ist,  
und  
ein zweites Exklusiv-ODER-Gatter (66) vorgesehen ist, dessen  
15 erster Eingang mit dem Steuereingang (72), dessen zweiter Ein-  
gang mit einem ersten Addierereingang (69) und dessen Ausgang  
mit dem dritten Nebenausgang (90e) des Anfangswert-Zählers (47)  
des zweiten Volladdierers (65) verbunden ist.
- 20 10. Taktrückgewinnungseinrichtung nach Anspruch 6,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß als Addierersteuerung (73)  
ein viertes ODER-Gatter (76), dessen erster Eingang mit einem  
Eingang (74) für negatives Stopfen (-St) und dessen zweiter  
25 Eingang mit einem Eingang (75) für positives Stopfen (+St)  
verbunden ist,  
ein drittes D-Flipflop (77), dessen D-Eingang mit dem Ausgang  
des vierten ODER-Gatters (76) und dessen Takteingang mit dem  
Hilfstakteingang (28a) verbunden ist,
- 30 ein viertes D-Flipflop (78), dessen D-Eingang mit dem Q-Ausgang  
des dritten D-Flipflops (77) und dessen Takteingang mit dem  
Hilfstakteingang (28a) verbunden ist,  
ein fünftes D-Flipflop (79), dessen D-Eingang mit dem Q-Ausgang  
des vierten D-Flipflops (78) und dessen Takteingang mit dem  
35 Hilfstakteingang (28a) verbunden ist,

- 1 ein fünftes Exklusiv-ODER-Gatter (80), dessen erster Eingang mit den Q-Ausgang des fünften D-Flipflops (79) und dessen zweiter Eingang mit dem Q-Ausgang des vierten D-Flipflops (78) verbunden ist,
- 5 ein sechstes D-Flipflop (81), dessen D-Eingang mit dem Ausgang des fünften Exklusiv-ODER-Gatters (80) und dessen Takteingang mit dem Hilfstakteingang (28a) verbunden ist,  
ein siebentes D-Flipflop (82), dessen D-Eingang mit dem Q-Ausgang des sechsten D-Flipflops (81) und dessen Takteingang mit
- 10 dem Hilfstakteingang (28a) verbunden ist,  
ein achtetes UND-Gatter (83), dessen erster Eingang mit dem Q-Ausgang des siebenten D-Flipflops (82) und dessen zweiter Eingang mit dem Eingang (75) für positives Stopfen verbunden ist,  
ein fünftes ODER-Gatter (84), dessen erster Eingang mit dem
- 15 Ausgang des achten UND-Gatters (83) und dessen zweiter Eingang mit dem Ausgang des fünften Exklusiv-ODER-Gatters (80) verbunden ist,  
ein neuntes UND-Gatter (85), dessen erster Eingang mit dem Ausgang des fünften ODER-Gatters (84), dessen zweiter Eingang mit
- 20 dem Ausgang des vierten ODER-Gatters (76) und dessen Ausgang mit dem Ladepulseingang (52) des Anfangswert-Zählers (47) verbunden ist,  
ein sechstes Exklusiv-ODER-Gatter (87), dessen erster Eingang mit den Q-Ausgang des dritten D-Flipflops (77) und dessen
- 25 zweiter Eingang mit dem Q-Ausgang des fünften D-Flipflops (79) verbunden ist, und  
ein zehntes UND-Gatter (86) vorgesehen ist, dessen erster Eingang mit dem Eingang (75) für positives Stopfen, dessen zweiter Eingang mit dem Ausgang des sechsten Exklusiv-ODER-Gatter (87)
- 30 und dessen Ausgang mit dem Steuereingang (72) des ersten Addierers (64) verbunden ist.



1/6

FIG 1

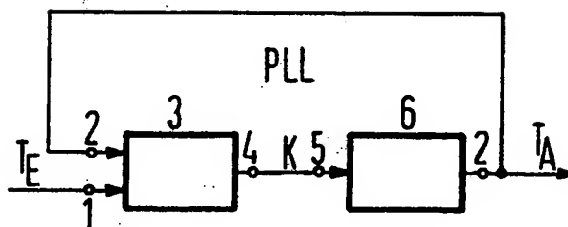
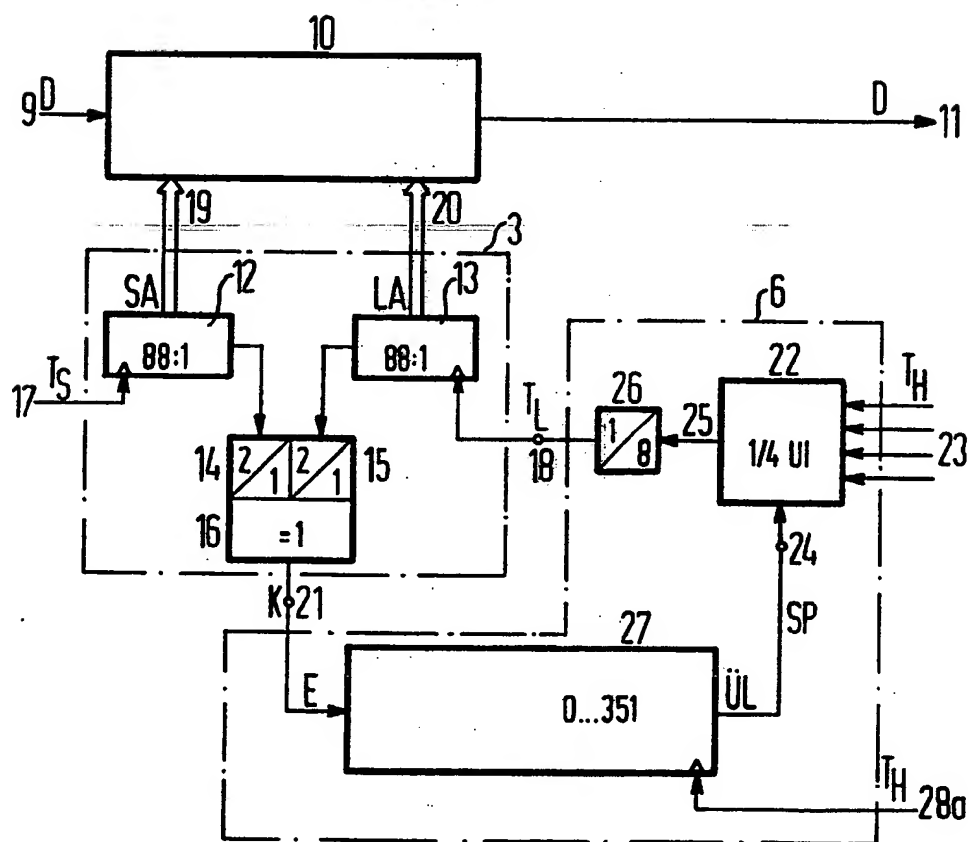


FIG 3



2/6

FIG2

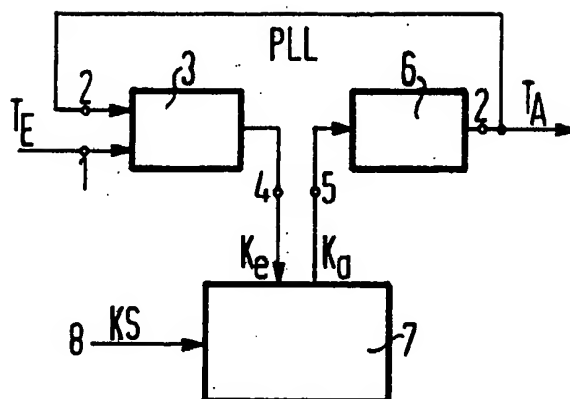
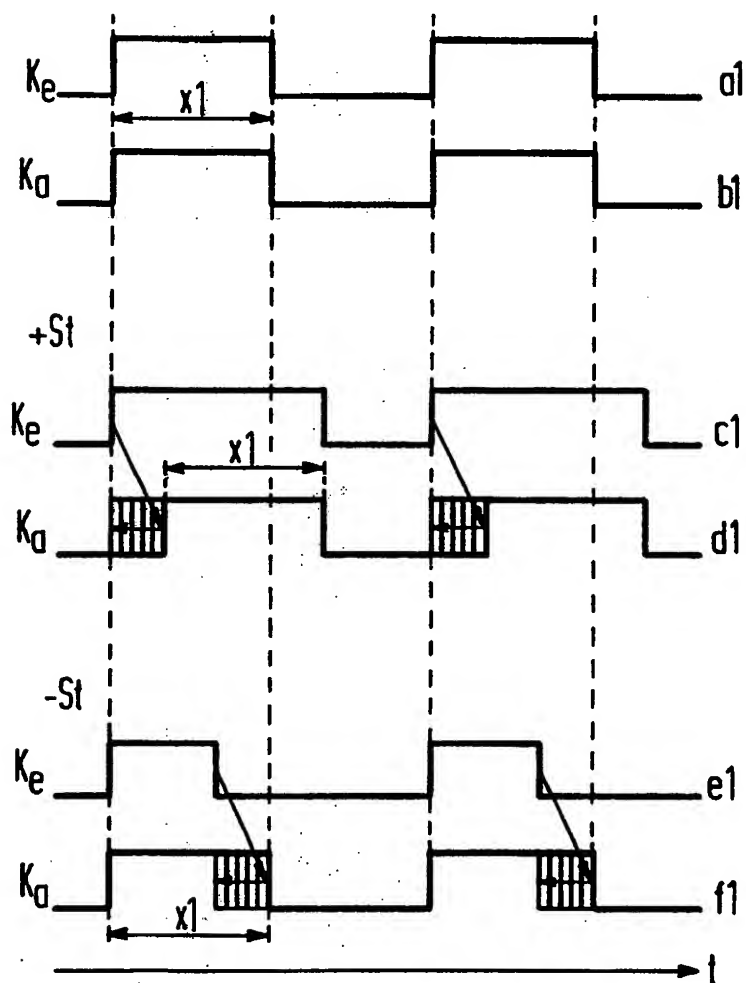
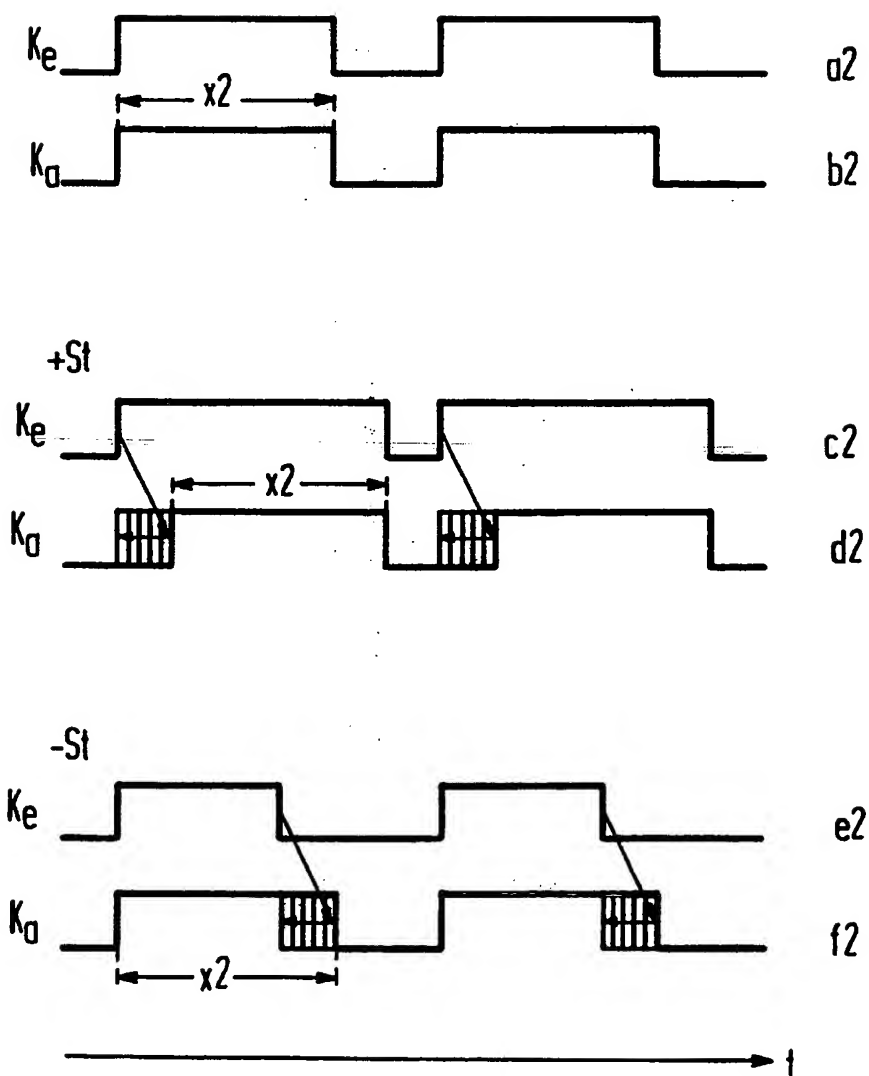


FIG4



3/6

FIG 5



4/6

FIG 6

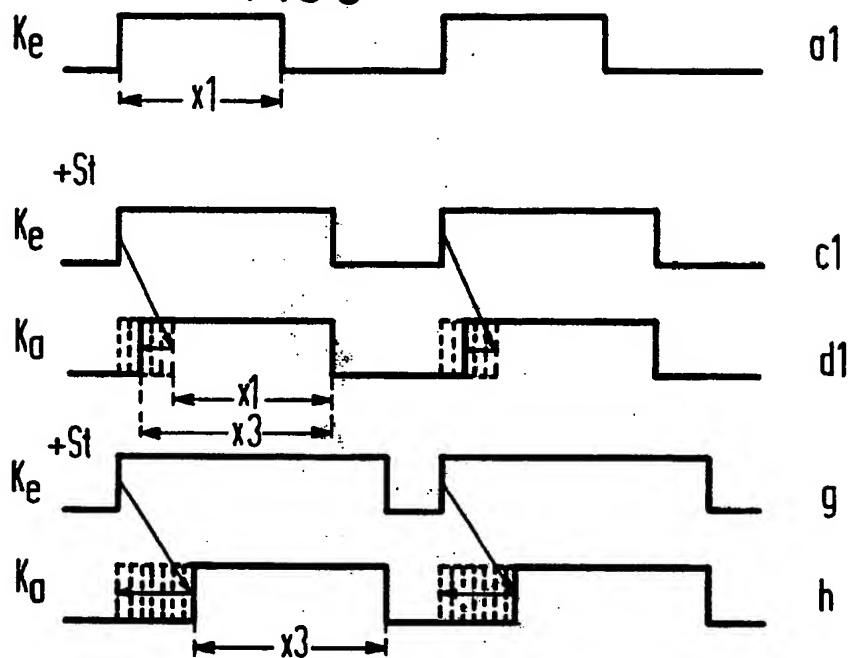
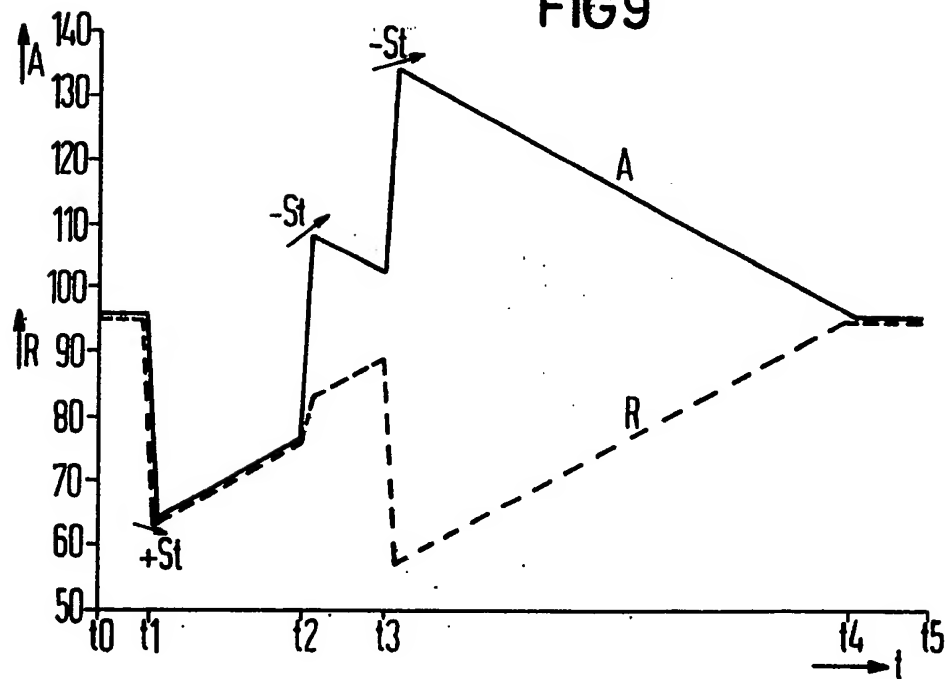
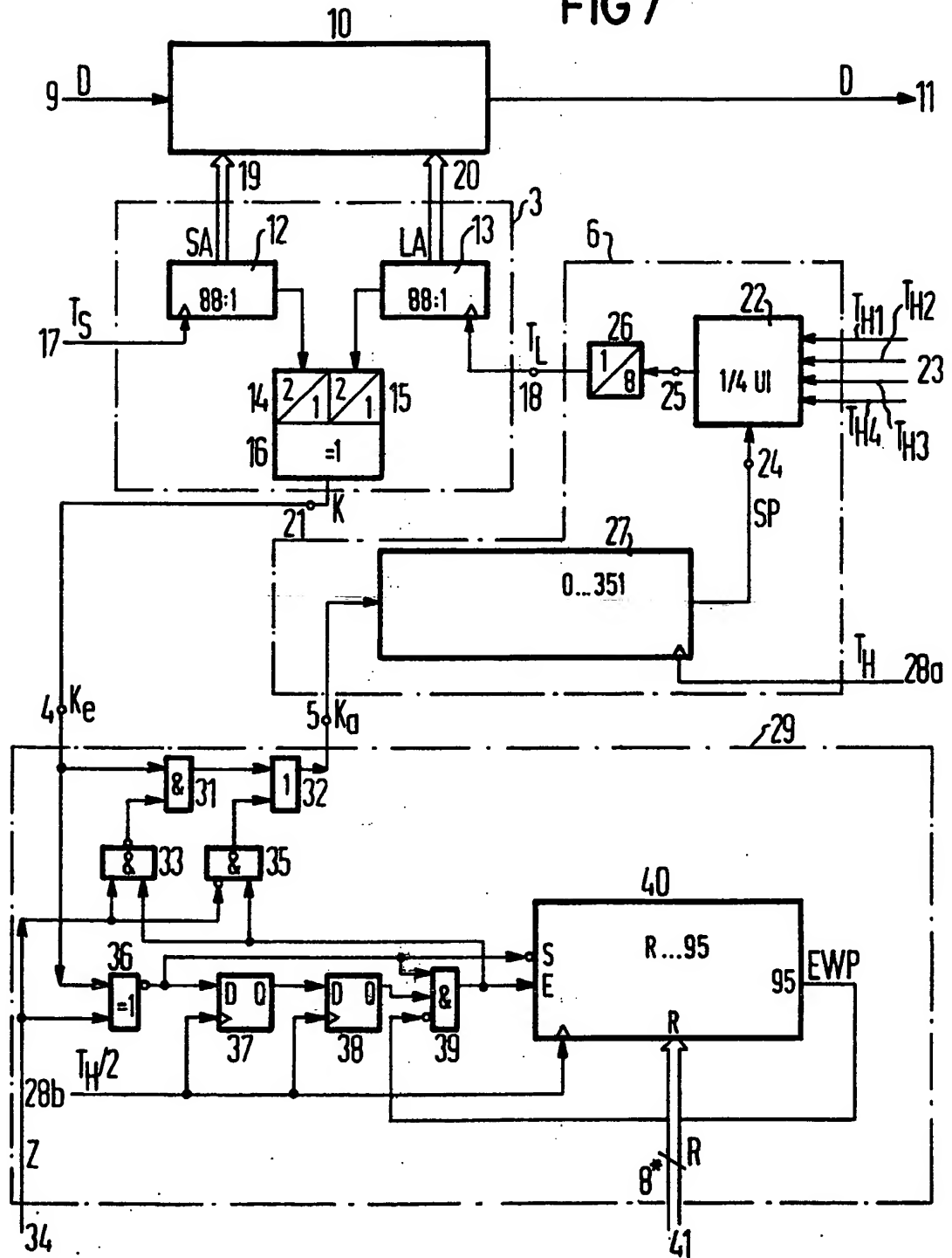


FIG 9



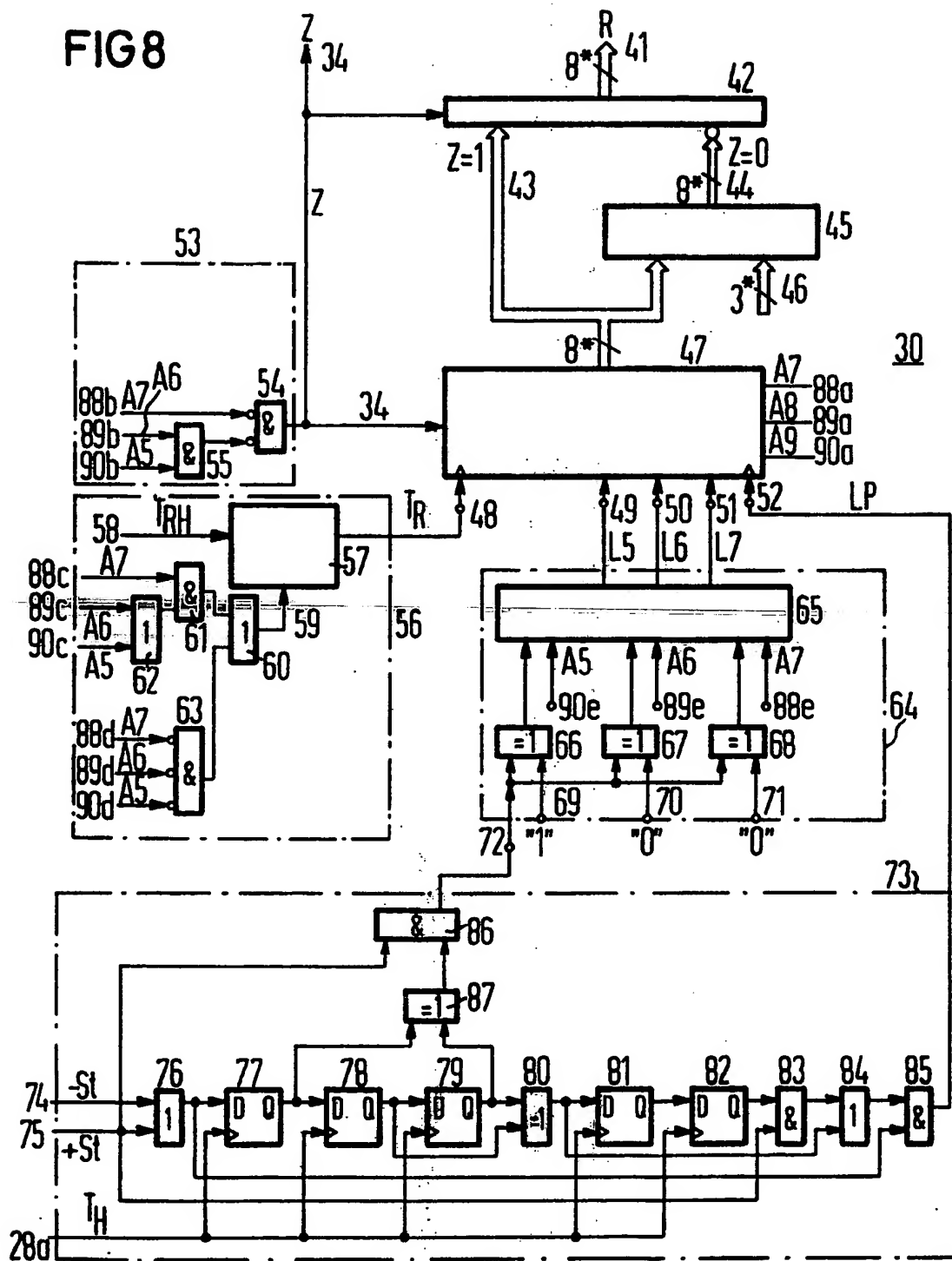
5/6

FIG 7



**6/6**

**FIG 8**



# INTERNATIONAL SEARCH REPORT

International Application No PCT/EP 90/02090

<b>I. CLASSIFICATION OF SUBJECT MATTER</b> (If several classification symbols apply, indicate all) *		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int.Cl. <sup>5</sup> : H 04 J 3/07, H 03 L 7/093		
<b>II. FIELDS SEARCHED</b>		
Minimum Documentation Searched <sup>7</sup>		
Classification System	Classification Symbols	
Int.Cl. <sup>5</sup> :	H 04 J, H 03 L	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched *		
<b>III. DOCUMENTS CONSIDERED TO BE RELEVANT<sup>1</sup></b>		
Category *	Citation of Document, <sup>11</sup> with indication, where appropriate, of the relevant passages <sup>12</sup>	Relevant to Claim No. <sup>13</sup>
X	CH, A, 536046 (SYNCHRON) 30 May 1973	1
Y	see column 2, lines 1-34	2,3,4
Y	EP, A, 0084675 (ANT NACHRICHTENTECHNIK) 3 August 1983, see page 2, lines 16-26	2,3
Y	US, A, 4709170 (LI) 24 November 1987 see column 1, lines 34-57	4
Y	US, A, 4563657 (Qureshi et al.) 7 January 1986 see column 1, lines 16-65; column 2, lines 11 -17; column 2, line 59 - column 3, line 10	4
A		5,6,7
X	US, A, 4019143 (FALLON) 19 April 1977 see column 2, lines 38-41; column 4, line 57 - column 5, line 30	
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>* Special categories of cited documents: <sup>10</sup></p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"A" document member of the same patent family</p> </div> </div>		
<b>IV. CERTIFICATION</b>		
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report
11 March 1991 (11.03.91)		10 April 1991 (10.04.91)
International Searching Authority		Signature of Authorized Officer
European Patent Office		

**ANNEX TO THE INTERNATIONAL SEARCH REPORT  
ON INTERNATIONAL PATENT APPLICATION NO.**

EP 9002090  
SA 42840

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on 27/03/91  
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
CH-A- 536046	15-04-73	AT-A, B 308196 CH-B- 509624 CH-A- 1246468 DE-A- 1762746 GB-A- 1242457	15-05-73 30-06-71 15-03-71 20-08-70 11-08-71
EP-A- 0084675	03-08-83	DE-A- 3202540	04-08-83
US-A- 4709170	24-11-87	None	
US-A- 4563657	07-01-86	None	
US-A- 4019143	19-04-77	None	



# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 90/02090

<b>I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS</b> (bei mehreren Klassifikationssymbolen sind alle anzugeben) <sup>6</sup>		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
Int.Cl. <sup>5</sup> H 04 J 3/07, H 03 L 7/093		
<b>II. RECHERCHIERTE SACHGEBIETE</b>		
Recherchierte(r) Mindestprüfstoff <sup>7</sup>		
Klassifikationssystem	Klassifikationssymbole	
Int.Cl. <sup>5</sup>	H 04 J, H 03 L	
Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen <sup>8</sup>		
<b>III. EINSCHLÄGIGE VERÖFFENTLICHUNGEN<sup>9</sup></b>		
Art*	Kennzeichnung der Veröffentlichung <sup>11</sup> , soweit erforderlich unter Angabe der maßgeblichen Teile <sup>12</sup>	Betr. Anspruch Nr. <sup>13</sup>
X	CH, A, 536046 (SYNCHRON) 30. Mai 1973 siehe Spalte 2, Zeilen 1-34	1
Y	---	2, 3, 4
Y	EP, A, 0084675 (ANT NACHRICHTENTECHNIK) 3. August 1983 siehe Seite 2, Zeilen 16-26	2, 3
Y	US, A, 4709170 (LI) 24. November 1987 siehe Spalte 1, Zeilen 34-57	4
Y	US, A, 4563657 (Qureshi et al.) 7. Januar 1986 siehe Spalte 1, Zeilen 16-65; Spalte 2, Zeilen 11-17; Spalte 2, Zeile 59 - ./.	4
<p>* Besondere Kategorien von angegebenen Veröffentlichungen<sup>10</sup>:</p> <p>"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>"&amp;" Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>		
<b>IV. BESCHEINIGUNG</b>		
Datum des Abschlusses der internationalen Recherche		Absenddatum des internationalen Recherchenberichts
11. März 1991		10. APR 1991
Internationale Recherchenbehörde		Unterschrift des bevollmächtigten Bediensteten
Europäisches Patentamt		MRS D. S. [Signature]

III. EINSCHLÄGIGE VERÖFFENTLICHUNGEN (Fortsetzung von Blatt 2)		
Art *	Kennzeichnung der Veröffentlichung, soweit erforderlich unter Angabe der maßgeblichen Teile	Betr. Anspruch Nr.
A	Spalte 3, Zeile 10	5,6,7
X	US, A, 4019143 (FALLON) 19. April 1977 siehe Spalte 2, Zeilen 38-41; Spalte 4, Zeile 57 - Spalte 5, Zeile 30 -----	1

# ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.

EP 9002090  
SA 42840

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentedokumente angegeben.  
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am 27/03/91  
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
CH-A- 536046	15-04-73	AT-A, B 308196 CH-B- 509624 CH-A- 1246468 DE-A- 1762746 GB-A- 1242457	15-05-73 30-06-71 15-03-71 20-08-70 11-08-71
EP-A- 0084675	03-08-83	DE-A- 3202540	04-08-83
US-A- 4709170	24-11-87	Keine	
US-A- 4563657	07-01-86	Keine	
US-A- 4019143	19-04-77	Keine	

EPO FORM P0073

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82